

SEMICONDUCTOR DEVICE AND PLATING METHOD THEREFOR

Patent number: JP2001053211

Publication date: 2001-02-23

Inventor: NISHIKAWA HIDEYUKI

Applicant: NEC CORP

Classification:

- **International:** H01L23/50; C25D5/10; C25D7/12

- **European:**

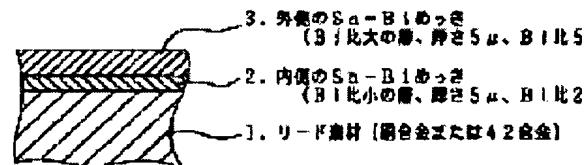
Application number: JP19990228442 19990812

Priority number(s):

Abstract of JP2001053211

PROBLEM TO BE SOLVED: To provide a semiconductor device with good solder wettability and crack resistance.

SOLUTION: Related to a semiconductor device where the surface of an external lead is plated with a tin-bismuth alloy, a first tin-bismuth alloy plated layer 2 is formed on the surface of the external lead 1, over which a second tin-bismuth alloy plated layer 3 is formed, with the composition ratio of the bismuth in the first tin-bismuth alloy plated layer 2 different from that of the second tin-bismuth alloy plated layer 3.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53211

(P2001-53211A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51)Int.Cl.
H 01 L 23/50
C 25 D 5/10
7/12

識別記号

F I
H 01 L 23/50
C 25 D 5/10
7/12

テマコード(参考)
D 4 K 0 2 4
5 F 0 6 7

審査請求 有 請求項の数 6 O L (全 4 頁)

(21)出願番号 特願平11-228442

(22)出願日 平成11年8月12日 (1999.8.12)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西川 秀幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100070530

弁理士 畑 泰之

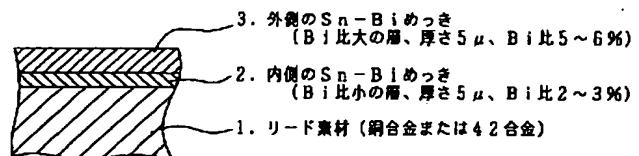
F ターム(参考) 4K024 AA15 AA21 AB02 BA02 BA09
BB13 CA06 GA01 GA14
5F067 AA13 DC12 DC18

(54)【発明の名称】 半導体装置とそのめっき方法

(57)【要約】

【課題】 半田濡れ性及び耐クラック性を共に良好にした半導体装置を提供する。

【解決手段】 外部リードの表面に錫ピスマス合金めっきを施した半導体装置であって、前記外部リード1の表面に第1の錫ピスマス合金めっき層2を形成し、このめっき層2上に第2の錫ピスマス合金めっき層3を形成し、前記第1の錫ピスマス合金めっき層2のピスマスの組成比と第2の錫ピスマス合金めっき層3のピスマスの組成比とが異なるように構成したことを特徴とする。



【特許請求の範囲】

【請求項1】 リードフレームの表面に錫ピスマス合金めっきを施した半導体装置であって、

前記リードフレームの表面に第1の錫ピスマス合金めっき層を形成し、このめっき層上に第2の錫ピスマス合金めっき層を形成し、前記第1の錫ピスマス合金めっき層のピスマスの組成比と第2の錫ピスマス合金めっき層のピスマスの組成比とが異なるように構成したことを特徴とする半導体装置。

【請求項2】 外部リードの表面に錫ピスマス合金めっきを施した半導体装置であって、

前記外部リードの表面に第1の錫ピスマス合金めっき層を形成し、このめっき層上に第2の錫ピスマス合金めっき層を形成し、前記第1の錫ピスマス合金めっき層のピスマスの組成比と第2の錫ピスマス合金めっき層のピスマスの組成比とが異なるように構成したことを特徴とする半導体装置。

【請求項3】 前記第2の錫ピスマス合金めっき層のピスマスの組成比が、前記第1の錫ピスマス合金めっき層のピスマスの組成比より大であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第1の錫ピスマス合金めっき層の膜厚と前記第2の錫ピスマス合金めっき層の膜厚とが略同じであることを特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項5】 リードフレームの表面に錫ピスマス合金めっきを施す半導体装置のめっき方法であって、所定の時間、第1の電流密度で前記リードフレームのめっきを行って、ピスマスの組成比が第1の組成比の第1の錫ピスマス合金めっき層を形成する第1の工程と、第2の電流密度でめっきを行い、前記第1のめっき層上に、ピスマスの組成比が、前記第1の組成比と異なる第2の組成比の第2の錫ピスマス合金めっき層を形成する第2の工程と、でめっきを行うことを特徴とする半導体装置のめっき方法。

【請求項6】 前記第2の錫ピスマス合金めっき層のピスマスの組成比が、前記第1の錫ピスマス合金めっき層のピスマスの組成比より大であることを特徴とする請求項5記載の半導体装置のめっき方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置とそのめっき方法に係わり、特に、半田濡れ性及び耐クラック性を良好にした半導体装置とそのめっき方法に関する。

【0002】

【従来の技術】 Pbフリーの外部リードめっきとしては、Sn-Biめっきが一般的である。

【0003】 Sn-Biめっきは、Snイオン、Biイオンを有するめっき液に電流を流し、陰極となる被めつ

き物である外部リード表面上に、Sn-Biを析出させる。めっき後の外部リードの断面を図3に示す。この場合、リード素材11上のSn-Biめっき層12の厚さは10μ程度、Bi比は3~5%である。

【0004】 しかし、上記したSn-Biめっき層12では、良好な濡れ性と、耐クラック性とを両立させることが困難である。

【0005】 即ち、Bi比を高くすると融点が下がり、濡れ性が良くなる。一方、Bi比を高くすると、めっきが硬くなり、リード成形の際に、めっきにクラックが生じリードの素材が露出してしまうという欠点がある。

【0006】 従って、良好な濡れ性が得られないと、半導体装置をプリント基板に実装した際に、はんだをはじいてしまい接続不良が起き、また、耐クラック性が悪いと、リード成形した際に、めっきにクラックが生じ、リードの素材が露出してしまい、その部分から腐食が進行する恐れがある。また、リード素材が露出した部分は、半導体装置をプリント基板に実装した際に、はんだをはじいてしまい、接続不良の原因となる可能性がある。

【0007】 Bi比3~5%においては、濡れ性、耐クラック性共、いずれも一定の基準を満たしているものの、最良の状態ではない。

【0008】

【発明が解決しようとする課題】 本発明の目的は、上記した従来技術の欠点を改良し、特に、Bi比を5%以上にすればさらに濡れ性が改善され、また、Bi比を3%以下にすれば耐クラック性がさらに改善される点に注目して、金属の表面に耐クラック性を改善した第1のめっき層を形成し、このめっき層上に半田濡れ性を改善した第2のめっき層を形成することで、半田濡れ性及び耐クラック性を共に良好にした新規な半導体装置とそのめっき方法を提供するものである。

【0009】

【課題を解決するための手段】 本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0010】 即ち、本発明に係わる半導体装置の第1態様は、リードフレームの表面に錫ピスマス合金めっきを施した半導体装置であって、前記リードフレームの表面に第1の錫ピスマス合金めっき層を形成し、このめっき層上に第2の錫ピスマス合金めっき層を形成し、前記第1の錫ピスマス合金めっき層のピスマスの組成比と第2の錫ピスマス合金めっき層のピスマスの組成比とが異なるように構成したことを特徴とするものであり、又、第2態様は、外部リードの表面に錫ピスマス合金めっきを施した半導体装置であって、前記外部リードの表面に第1の錫ピスマス合金めっき層を形成し、このめっき層上に第2の錫ピスマス合金めっき層を形成し、前記第1の錫ピスマス合金めっき層のピスマスの組成比と第2の錫ピスマス合金めっき層のピスマスの組成比とが異なるよ

うに構成したことを特徴とするものであり、又、第3態様は、前記第2の錫ビスマス合金めっき層のビスマスの組成比が、前記第1の錫ビスマス合金めっき層のビスマスの組成比より大であることを特徴とするものであり、又、第4態様は、前記第1の錫ビスマス合金めっき層の膜厚と前記第2の錫ビスマス合金めっき層の膜厚とが略同じであることを特徴とするものである。

【0011】又、本発明に係わる半導体装置のめっき方法の第1態様は、リードフレームの表面に錫ビスマス合金めっきを施す半導体装置のめっき方法であって、所定の時間、第1の電流密度で前記リードフレームのめっきを行って、ビスマスの組成比が第1の組成比の第1の錫ビスマス合金めっき層を形成する第1の工程と、第2の電流密度でめっきを行い、前記第1のめっき層上に、ビスマスの組成比が、前記第1の組成比と異なる第2の組成比の第2の錫ビスマス合金めっき層を形成する第2の工程と、でめっきを行うことを特徴とするものであり、又、第2態様は、前記第2の錫ビスマス合金めっき層のビスマスの組成比が、前記第1の錫ビスマス合金めっき層のビスマスの組成比より大であることを特徴とするものである。

【0012】

【発明の実施の形態】本発明に係わる半導体装置は、外部リードの表面に錫ビスマス合金めっきを施した半導体装置であって、前記外部リードの表面に第1の錫ビスマス合金めっき層を形成し、このめっき層上に第2の錫ビスマス合金めっき層を形成し、前記第1の錫ビスマス合金めっき層のビスマスの組成比と第2の錫ビスマス合金めっき層のビスマスの組成比とが異なるように構成したことを特徴とするものである。

【0013】

【実施例】以下に、本発明に係わる半導体装置とそのめっき方法の具体例を図面を参照しながら詳細に説明する。

【0014】(第1の具体例)図1は、本発明に係わる半導体装置の第1の具体例の構造を示す図であって、この図1には、外部リードの表面に錫ビスマス合金めっきを施した半導体装置であって、前記外部リード1の表面に第1の錫ビスマス合金めっき層2を形成し、このめっき層2上に第2の錫ビスマス合金めっき層3を形成し、前記第1の錫ビスマス合金めっき層2のビスマスの組成比と第2の錫ビスマス合金めっき層3のビスマスの組成比とが異なるように構成したことを特徴とする半導体装置が示されている。

【0015】以下に、第1の具体例を更に詳細に説明する。

【0016】本発明の外部リードは、図1に示したように、めっき層が2層から構成されており、2層ともSn-Biめっきであるが、組成比が内側のめっき層2と外側のめっき層3とで異なっている。内側のめっき層2

は、厚さ5μでSn比2~3%、外側のめっき層3は、厚さ5μでSn比5~6%である。

【0017】さて、このようなめっきを行うためには、めっき槽を2つ用意すればよい。内側のめっき層2を形成するために、第1のめっき槽のめっき液を用い、外側のめっき層3を形成するために第2のめっき槽のめっき液を用い、夫々のめっき液の金属イオン濃度を異なるよう調節しておけばよい。

【0018】濡れ性に影響を与えるのは、外側のめっき層3であるから、外側のめっき層3のBi比を高くすれば良い。本具体例では、外側のめっき層3のBi比は、従来の3~5%よりも高い5~6%になるように、めっき液の金属イオン濃度を調節してあるので、従来よりも良好な濡れ性を示す。

【0019】また、本具体例では、外側のめっき層3でのBi比は、従来の3~5%よりも高い5~6%のため、従来よりも大きなクラックが発生する可能性がある。しかしながら、内側のめっき層2のBi比は、従来の3~5%よりも低い2~3%であるので、耐クラック性が向上し、クラックはほとんど起こらず、リードの素材が露出することがない。

【0020】(第2の具体例)図2は、本発明に係わる半導体装置のめっき方法の工程を示す図であって、この図2には、リードフレームの表面に錫ビスマス合金めっきを施す半導体装置のめっき方法であって、所定の時間、第1の電流密度で前記リードフレームのめっきを行って、ビスマスの組成比が第1の組成比の第1の錫ビスマス合金めっき層2を形成する第1の工程S1と、第2の電流密度でめっきを行い、前記第1のめっき層2上に、ビスマスの組成比が、前記第1の組成比と異なる第2の組成比の第2の錫ビスマス合金めっき層3を形成する第2の工程S2とでめっきを行うことを特徴とする半導体装置のめっき方法が示されている。

【0021】以下に、第2の具体例を更に詳細に説明する。

【0022】第1の具体例では、内側のめっき層用と外側のめっき層用の二つのめっき槽が必要であるため、作業面積を多く要するという欠点がある。しかも、従来のめっき設備に新規に槽を追加するとなると大掛かりな改40造工事が必要となる。この問題を解決するのが、本具体例である。

【0023】即ち、めっき槽は1つのままで、電流値を変化させる方法である。電流値変化に対する析出効率変化は、金属によって異なる。従って、めっきの途中で電流値を変化させることにより、めっき組成比を変化させることが可能である。実際の値はめっき液ごとに異なるため、評価により傾向をつかむ必要がある。あるめっき液で評価した場合、以下のようなデータが得られた。

電流密度3A/dm²のとき、Biは2.6%

50 電流密度1A/dm²のとき、Biは5.5%

つまり、電流密度 $3 \text{ A}/\text{dm}^2$ で電流を流し、めっき厚が 5μ になったら、電流密度を $1 \text{ A}/\text{dm}^2$ に変え、膜厚 5μ めっきすることにより、図1のような構成の外部リードが得られる。

【0024】この方法によれば、以下のような利点がある。

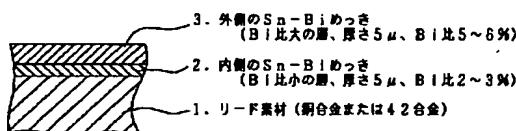
(1) めっき槽が一槽でよいため、生産ラインの縮小化がはかれる。

(2) すでに設置されているめっき装置を改造することなく、電流値を管理するソフトウェアの変更のみで容易に対応できる。

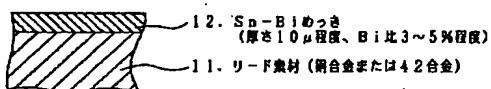
【0025】なお、前記した第1、第2の具体例では、半導体装置の外部リードについて説明したが、勿論、リードフレームについても同様に本発明を適用できる。

【0026】

【図1】



【図3】



【発明の効果】本発明に係わる半導体装置とそのめっき方法は、金属の表面に耐クラック性を改善した第1のめっき層を形成し、このめっき層上に半田濡れ性を改善した第2のめっき層を形成することで、半田濡れ性及び耐クラック性を共に改善することが出来た。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の外部リードの断面図である。

【図2】本発明のめっき方法の流れ図である。
10 【図3】従来の半導体装置の外部リードの断面図である。

【符号の説明】

- 1 外部リード
- 2 第1のめっき層
- 3 第2のめっき層

【図2】

